

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-265735

(43)Date of publication of application : 23.10.1989

(51)Int.Cl.

H04J 3/00

H04J 3/16

(21)Application number : 63-095250

(71)Applicant : NIPPON DENSO CO LTD

(22)Date of filing : 18.04.1988

(72)Inventor : KAMATA TADASHI

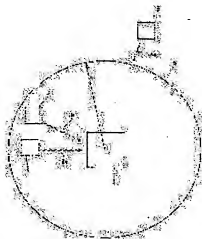
OGAWA TAKAHIRO

(54) TRANSMITTER AND COMMUNICATION SYSTEM USING IT

(57)Abstract:

PURPOSE: To reduce the frequency of occurrence of crosstalk without complicating the transmitter by deciding the transmission time interval of a transmission signal in the transmitter depending on the content of data.

CONSTITUTION: On receiver 1 processes transmission signals 2a to 4a from plural transmitters 2 to 4. The transmission time interval of the transmission signals 2a to 4a is decided depending on the content of the data in the transmitters 2 to 4. Thus, even if crosstalk takes place once, when the data content of the transmission signals 2a to 4a differs, the consecutive crosstalk of the transmission signals 2a to 4a from the succeeding time does not take place. Thus, the frequency of occurrence of crosstalk if the transmission signals is reduced without complicated constitution of the transmitter.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

⑫ 公開特許公報(A) 平1-265735

⑬ Int. Cl.⁴

H 04 J
3/00
3/16

識別記号

庁内整理番号

K-6914-5K
Z-6914-5K

⑭ 公開 平成1年(1989)10月23日

審査請求 未請求 請求項の数 4 (全12頁)

⑮ 発明の名称 送信装置およびそれを用いた通信方式

⑯ 特 願 昭63-95250

⑰ 出 願 昭63(1988)4月18日

⑱ 発 明 者	鎌 田 忠	愛知県刈谷市昭和町1丁目1番地	日本電装株式会社内
⑲ 発 明 者	小 川 隆 博	愛知県刈谷市昭和町1丁目1番地	日本電装株式会社内
⑳ 出 願 人	日本電装株式会社	愛知県刈谷市昭和町1丁目1番地	
㉑ 代 理 人	弁理士 岡 部 隆		

明 細 書

1. 発明の名称

送信装置およびそれを用いた通信方式

2. 特許請求の範囲

(1) 送信すべきデータを設定するデータ設定手段と、

前記データの内容に応じて送信時間間隔を決定する送信間隔決定手段と、

前記データに応じた送信信号を、前記送信時間間隔にて送信する送信手段とを備えることを特徴とする送信装置。

(2) 前記送信信号を前記送信時間間隔とは異なる所定時間間隔にて送信すると共に、前記所定時間間隔内には前記送信信号が前記送信時間間隔にて所定回数だけ送信される請求項1記載の送信装置。
(3) 複数の送信装置と1個の受信装置とを備え、前記複数の送信装置においては各々同じ送信機能をもつと共に、送信すべきデータの内容に応じ

た送信時間間隔にて送信信号を送信し、前記受信装置においては前記複数の送信装置に対して同じ処理にて前記送信信号を受信可能としたことを特徴とする通信方式。

(4) 前記複数の送信装置は、前記送信時間間隔とは異なる所定時間間隔にて前記送信信号を送信すると共に、前記所定時間間隔内には前記送信信号が前記送信時間間隔にて所定回数だけ送信され、しかも前記所定時間間隔及び前記所定回数は前記複数の送信装置に対して同じ値に設定されたものである請求項3記載の通信方式。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は複数の送信装置と1個の受信装置とを備えた通信方式において、複数の送信装置から送信される送信信号が混合するのを強力抑えるようにした送信装置およびそれを用いた通信方式に関する。

(2)

(従来技術)

第1図に示されるように、1個の受信装置1で複数の送信装置2、3、4からの送信信号2a、3a、4aを処理する場合、送信装置2、3、4の数が多いため送信装置側を出来るだけ簡単な構成とする必要があり、一般には各々の送信装置2、3、4は同じ送信機能(即ち、同一搬送周波数、同一変調方式、同一データ形式等)を有するように構成する。

又、受信装置1の受信エリア5内に送信装置2、3が存在すると、それらからの送信信号が重畳して混信を起す恐れがある。混信を防止するためには、例えば複数の送信装置2、3に受信装置1からの信号を受信する受信回路を設け、受信装置1側より送信装置2、3の送信状態を制御することが考えられるが、このように送信装置2、3に受信回路を設けるのはコストアップ、装置の大型化につながり望ましくない。

そこで従来では、複数の送信装置2、3からの送信を同じ時間間隔である所定間隔で行い、各送

信装置2、3において送信信号の送信タイミングをずらすことにより混信を防止している。

(発明が解決しようとする課題)

しかしながら、上記従来装置においても、各送信装置2、3の送信タイミングをずらすためには、各送信装置2、3に対して送信時間を決定するための何らかの処理(あるいは装置)が必要であり、又、このような装置では、所定時間間隔にて送信を行っているので、各装置の誤差等の要因により一度混信が生じてしまうと、その後も継続して混信状態のままであり、受信装置1側では長時間にわたり送信信号を受信できない状態が続いてしまい、使用上大変不都合である。

そこで本発明は上記のような問題点に鑑みなされたものであり、その主たる目的は、装置を何ら複雑な構成にすることなく送信信号の混信頻度を低減することである。

又、他の目的として、送信装置の駆動電源が電池等の内蔵型のものである場合、各送信装置間に

(3)

(4)

おける駆動電源の消費状態のばらつきを低減することである。

(課題を解決するための手段)

上記の目的を達成するために、本発明の送信装置は送信すべきデータを設定するデータ設定手段と、前記データの内容に応じて送信時間間隔を決定する送信間隔決定手段と、前記データに応じた送信信号を、前記送信時間間隔にて送信する送信手段とを備えることを特徴としている。

又、前記送信信号を前記送信時間間隔とは異なる所定時間間隔にて送信すると共に、前記所定時間間隔内には前記送信信号が前記送信時間間隔にて所定回数だけ送信されるようにしてもよい。

又、本発明の通信方式は複数の送信装置と1個の受信装置とを備え、前記複数の送信装置においては各々同じ送信機能を有すると共に、送信すべきデータの内容に応じた送信時間間隔にて送信信号を送信し、前記受信装置においては前記複数の送信装置に対して同じ処理にて前記送信信号を受

信可能としたことを特徴としている。

又、前記複数の送信装置は、前記送信時間間隔とは異なる所定時間間隔にて前記送信信号を送信すると共に、前記所定時間間隔内には前記送信信号が前記送信時間間隔にて所定回数だけ送信され、しかも前記所定時間間隔及び前記所定回数は前記複数の送信装置に対して同じ値に設定されたものとしてもよい。

(作用)

本発明の上記構成によると、送信装置において送信信号の送信時間間隔をデータの内容に応じて決定しているので、一度混信が発生したとしても送信信号のデータ内容が異なっていれば、次回からの送信信号が継続して混信するといったことがない。

又、各送信装置において、送信時間間隔とは異なる所定時間間隔にて送信信号を送信すると共に、所定時間間隔内には送信信号が送信時間間隔にて所定回数だけ送信されるようにしているので、そ

(5)

(6)

の所定時間間隔内における各送信装置の消費電力は同じになり、全体的に消費状態のばらつきを低減できる。

【実施例】

以下、本発明を図面に示す実施例を用いて説明する。

本発明の第1実施例を第1図乃至第4図を用いて説明する。本実施例も1個の受信装置1により複数の送信装置2、3、4からの送信信号2a、3a、4aを処理するようにした通信方式であり、特にその送信装置2、3、4側に特徴がある。第2図は送信装置2、3、4を表す構成図であり、半導体集積回路等により実現され、例えば1枚の半導体基板に構成される。図中、6はそれらの送信装置、7は一般に知られた送信回路であり、例えば水晶発振回路、変調回路、コントロール回路などから構成されている。8は送信すべき内容を記憶するデータメモリであり、例えばRAM、ROM、シフトレジスタ等で構成されており、その

(7)

の同じ送信機能を有しており、各々に特別の回路等を必要とすることなく同じ構成にて形成できる。

第3図はこのような送信装置2、3からの送信信号を表しており、上段は送信装置2の動作状態を表すグラフ、下段は送信装置3の動作状態を表すグラフであり、横軸の時間軸は共通である。図に示すように、データ1とデータ2の内容が異なれば、送信時間間隔 t_1 、 t_2 も異なる様に設定され、一度通信が発生したとしても、次回からの送信信号が継続して混信することがない。

尚、第1図において受信装置1の構成は、一般に使用されているものを採用可能であり、例えば第4図に示されるように、アンテナより受信した送信信号を混合器1aに入力し、受信感度を高めるためにその混合器1aにて発振器1bからの発振波と混合し、中間周波帯に周波数変換する。その後、復調回路1cにて復調を行い、得られたデータをコントローラ1d等のメモリに記憶して各種制御に使用する。

第5図は第3図の送信装置6を具体化した電気

(9)

(3) データをシリアルで送信回路7の変調入力に与えるものである。9はデータメモリ8より与えられる信号によってプリセットされる構成を持ったタイマであり、その出力は送信回路8のコントロール入力に与えられるものである。

上記構成において、送信装置6に対して、外部から初期に与えられたデータ（例えば送信装置6のコード）及び／又は外部から随時入力されるデータ（例えばメッセージ）は、送信のため一時データメモリ8に記憶され、シリアルデータとして出力されて送信回路7の変調端子に入力される。また一方データメモリ8の内容により可変なタイマ9の出力が送信回路7のキャリアコントロール端子に入力されている。

従って、シリアルデータは送信回路7により振幅変調（AM）、周波数変調（FM）、あるいは位相変調（PM）等の変調処理がなされ、その被変調波がタイマ9により設定される送信時間間隔にて送信される。尚、各送信装置2、3、4は同一搬送周波数、同一変調方式、同一データ形式等

(8)

同図である。図において、10～13は送信すべきデータを記憶するためのRAM（ランダム・アクセス・メモリ）で、本実施例ではSRAM（Static RAM）を採用している。そして、その出力はシフトレジスタ14及びPLA（プログラマブル・ロジック・アレイ）15に入力されている。ただし、本図ではRAM10～13にデータを書き込む回路は省略されている。14はシフトレジスタであり、パラレル入力D₀～D₃及び動作クロックCLKを受けて、シリアル出力S₀を送信回路17に与えるものである。15はPLAで、セル状に並んだNchMOSトランジスタ24、プリチャージのためのPchMOSトランジスタ25、出力を取り出すためのインバータ26から成る。尚、図中に各配線の交点に丸印で示した位置にNchMOSトランジスタ24が形成される。16は一般に知られたアップカウンタ回路であり、分周回路29の出力を受けてカウント動作がなされる。出力Q₀、Q₁、Q₂、Q₃、Q₄はPLA15に接続されている。また、Rはリセッ

(10)

(4)

ト端子である。17は送信回路であり、送信すべきデータを入力する端子DATAがシフトレジスタ14に、又、送信を許可するコントロール端子Rがフリップ・フロップ18の出力に、送信の完了を示す信号を出力する端子Eが同じくフリップ・フロップ18のリセット入力に、それぞれ接続されている。ここで、20、21はRAM10～13を構成するためのNchMOSトランジスタ、22、23はインバータ、27、28はフリップ・フロップ18を構成するNORゲート、29は一般に知られた分周回路で動作クロックCLKを分周して、アップカウンタ15に与えるものである。又、φおよびφは重なり合っていない2相クロックであり、CLKはタイマの基本クロックであり、LDはRAM10～13をアクセスする信号である。尚、この回路において、第2図のデータメモリ8にはRAM10～13及びシフトレジスタ14が対応しており、タイマ9にはPLA15及びアップカウンタ16が対応している。

上記回路構成において、送信すべきデータとし

(11)

あるとすれば、

$$L_1 = 72t$$

となる（ここでは基本クロックCLKのサイクルタイム）。即ち、本回路構成によるとアップカウンタ16がリセットされてからRAM10に記憶されたデータと等しい値になるまでカウントされる時間より送信時間間隔が設定される。尚、送信完了のタイミングは送信回路17により設定されるタイマ時間後に端子Eから信号を出力することによりフリップ・フロップ18をリセットし、搬送波の発振を停止することにより行われる。

次に、RAM10～13の記憶内容が上記の内容とは異なる

$$(D_0, D_1, D_2, D_3) = (0, 1, 0, 0)$$

である場合を考えると、同様の手続きにより送信時間間隔は1より短い時間である

$$L_1 = 18t$$

となる。従って本実施例によると、送信すべきデータ、即ちRAM10～13に記憶される内容に応じて、インバータ26からHレベルの信号が

(13)

て例えば

$$(Q_0, Q_1, Q_2, Q_3) = (1, 0, 0, 1)$$

がRAM10～13に記憶された場合を考えると、アップカウンタ16の出力が

$$(Q_0, Q_1, Q_2, Q_3) = (1, 0, 0, 1)$$

のときには、図中矢印で示したPLA15の配線に接続されるNchMOSトランジスタ24が全てON状態になるために、PchMOSトランジスタ25によってプリチャージした電荷がグラウンドにぬかれるため、インバータ26の出力がH（ハイ）レベルとなり、フリップ・フロップ18がセットされると同時にアップカウンタ16がリセットされる。そして、フリップ・フロップ18をセットすることにより送信回路17の搬送波（キャリア）が発振し、シフトレジスタ14から出力されるシリアル出力SOの内容（変調信号）により変調されて搬送波17aが送信信号として出力される。ここでアップカウンタ16の出力が

$$(Q_0, Q_1, Q_2, Q_3) = (1, 0, 0, 1)$$

となるのは、分周回路29が例えば8分周回路で

(12)

出力されるまでの時間、即ち送信時間間隔が決定される。

以上のように本実施例の送信装置によると、送信すべきデータの内容に応じた送信時間間隔にて送信信号を送信するようにしているので、この送信装置を複数個用いて通信を行った場合、一度混信が発生したとしても送信信号のデータ内容が異なっていれば次回からの送信信号が継続して通信するといったことがなく、混信頻度を低減できる。又、そのために各々の送信装置に特別な構成を要することなく、複数の送信装置は共通の構成でよいので、比較的簡単な構成にすることができ、延いては安価に製造できるので、経済的にも有利である。

尚、本実施例において送信すべきデータとして、例えば送信装置ごとにつけられた送信装置のコードをも併せて送信する場合、送信装置が異なれば必ず送信データも異なるので送信時間間隔も異なることとなり、どの送信装置からの送信かを受信装置側で必ず認識することができる。又、このよ

(14)

うにする場合には、例えば第5図の回路においてRAM10~13のうちのいずれかを送信装置のコードデータとしてその記憶内容を固定すればよい。又、第5図において、RAM10~13の代わりにEPROM等を用いてもよく、PLA15の代わりにマイクロコンピュータ等を用いてもよい。

次に第6図及び第7図を用いて本発明の第2実施例を説明する。上記第1実施例のように送信データに応じて送信時間間隔を決定するようにすると、各送信装置間で所定時間内に送信される送信信号の数に差が生じてくる。送信装置の駆動電源は送信信号の送信回数に大きく影響されるものであり、送信装置の駆動電源が電池等の内蔵型のものであるとすると、駆動電源の消費状態が各送信装置間で著しく違ってくるという不都合が生じる。本実施例はこのような不都合を解決するものである。

第6図は本実施例の送信装置を示しており、図において、30はアップカウンタであり、31は

(15)

カウンタ30のカウンタが進行し、 Q_{n+1} 、桁にオーバーフローが生じると Q_{n+1} 、出力端子より出力線BにHレベルの信号が出力され、アップカウンタ30がリセットされると共に、ORゲート34を介して送信回路33に入力し、そのタイミングで送信信号を送信する。その後はアップカウンタ30がリセットされたので、前述のようにデータメモリ35のデータ直までアップカウンタ30がカウントされるようになる。

第7図は上記回路を第1図の送信装置2、3に適用した際の送信信号を渡している。送信装置2、3からの送信信号A、Bが時間Tにて復信したとしても、次の送信信号A、Bはデータメモリ35に記憶されたデータに応じてその送信時間間隔 t_1 、 t_2 が決定されるので、そのデータが異なれば $t_1 \neq t_2$ となり、復信を遅らせることができる。その次の送信信号A、Bは Q_{n+1} 、桁へのオーバーフローまでの時間により決定されるので、各送信装置2、3において共通となり、 $t_1 + t_2 = t_3 + t_4$ が成立する。即ち、

(17)

(5) PLA等から成るデコード回路、32は発振回路、33は送信回路、34はORゲート、35は送信すべきデータを記憶するデータメモリである。アップカウンタ30、デコード回路31、送信回路33及びデータメモリ35は、基本的に上記第1実施例におけるアップカウンタ16、PLA15、送信回路17及びRAM10~13(シフトレジスタ14を含む)とそれぞれ同様の構成でよく、本実施例では新たにアップカウンタ16に Q_{n+1} 出力端子を設け、その出力をリセット(R)端子及びORゲート34に導いている。又、送信装置33は第5図におけるフリップ・フロップ18と同様の機能を内蔵するものである。

上記回路構成によると、まず上記第1実施例と同様に考えて、データメモリ35に記憶されているデータと、アップカウンタ30の $Q_n \sim Q_0$ による出力信号の値が同じになった場合に、出力線AにHレベルの信号が出力され、その信号はORゲート34を介して送信回路33に入力し、そのタイミングで送信信号を送信する。その後、アップ

(16)

$$\left. \begin{array}{l} t_1 + t_2 = t_3 + t_4, \dots\dots\dots \textcircled{1} \\ t_1 + t_2, \dots\dots\dots \textcircled{2} \\ t_3 + t_4, \dots\dots\dots \textcircled{3} \end{array} \right\}$$

上記①~③式を同時に満足するような通信を行うことにより、復信が継続される可能性がなく、又、 $(t_1 + t_2)$ の周期で考えれば、データの内容によらず一定の周期で送信していると考えられるので(つまり、送信時間間隔の平均は必ず $(t_1 + t_2) / 2$ となる)、駆動電源(電池等)の消費をデータ内容によらず各送信装置間で一定にすることができる。従って、このような送信装置を用いて通信を行えば、複数の送信装置における内蔵型の駆動電源を全て同じタイミングにて取替えることができるので、電力不足による送信不能、延いては受信不能という事態を極力回避することができる。尚、上記回路構成において復信頻度をより低減しようとする場合、アップカウンタ30の出力信号を任意の値に変換してデコード回路31のデコード値を複数にすればよい。

次に、上記第2実施例と同様の機能を有する他

(18)

(8)

の回路として、第3実施例を第8図を用いて説明する。

図において、36は37に示すような方形波を発生するタイマ回路であり、38は抵抗器39、コンデンサ40、コンパレータ41から構成されるディレイタイマであり、42はNORゲート43、44、ANDゲート45、ORゲート46、抵抗器47、コンデンサ48から構成されるパルス合成回路であり、49は送信回路である。また50はパルス合成回路42の出力波形である。

上記回路構成によると、タイマ回路36により、37の様な周期的な方形波を発生させ、これをNORゲート43、44で構成されたフリップ・フロップのセット入力として入力し、その出力をANDゲート45と抵抗器39を通してコンデンサ40を充電し、コンパレータ41によって基準電圧Vrefと比較することによって動作するディレイタイマ38に入力し、この出力を前述のANDゲート45の他方の入力に入力する事により、出力波形50の送信信号2のパルスを立ち上げらせ

る。尚、送信信号2のパルスのリセットは、抵抗器47を通してコンデンサ48に充電することによってディレイさせたANDゲート45の出力によって行われる。これらの動作によって送信信号2のパルスが作られ、ORゲート46によって出力波形50の送信信号1及び送信信号3と共に、送信回路49に入力される。

ここで、例えばコンデンサ40に直列にMOSトランジスタ等のスイッチング素子を接続し、又、そのような直列回路を複数本用意して並列に接続しておき、送信データの内容に応じてコンデンサ40の全体の容量値が変化するようによりスイッチングすれば、第7図の回路動作が実現できる。

第9図は、上記第2、第3実施例の技術思想を概念的に一般化して示した図である。ここで

$$T = t_{a1} + t_{a2} + t_{a3} + \dots + t_{an} \\ = t_{a1} + t_{a2} + t_{a3} + \dots + t_{an} \quad (9)$$

なる関係が示す様に、時間Tの間の送信回数是一定とし、送信と次の送信との間隔を定める。つまり、④式を満足すると同時に、

(19)

(20)

$$\sum_{i=1}^n t_{a_i} + \sum_{i=1}^n t_{b_i} + \dots \quad (10)$$

(ただしkは(n-1)以下の自然数)

なる関係を満たすように構成すれば良い。

第10図及び第11図は本発明を効果的に採用出来る具体的なシステムの例である。まず、第10図に示すシステムは、キャッシュレジスタ55のオペレータ51～53を管理するシステムである。オペレータ51～53は、それぞれ1つの送信装置をネームプレート等に内蔵して携帯し、キャッシュレジスタ55には受信装置を内蔵させ、その受信エリア54を約半径1m程度とし、各オペレータ51～53の持つ送信装置はそれぞれオペレータ51～53のネームコードを送信する。これにより、レジスタ55を操作したオペレータを知り、オペレータの管理を行おうとするものである。

図は、レジスタ55をオペレータ51が操作している状態を示しており、この時、他のオペレータ52が受信エリア54内で他の作業をしていたとすると、本発明の通信方式によって通信を極力

低減した状態にてオペレータ51及び52のコードをレジスタ55は受信する。これはレジスタ55がオペレータ51もしくは52によって操作されたと記録されるわけだが、長時間にわたり通信して誰が(どのオペレータ)が操作したかわからなくなるのに比べて、管理上良い結果となる。

次に、第11図に示すシステムは、オフィス等のセキュリティなど、ビルの入場者管理を行うシステムで、ビル100の入場者62～71はそれぞれ1つのネームコードを送信する送信装置をネームプレート等に内蔵して携帯し、それを各室56～58に設置された受信装置59～61及び記録装置72により受信、記録し、誰がいつどの室にいたかを知り、管理するシステムである。ここで同室(例えば室57)に多数の入場者(例えば入場者67～71)がいる場合、本発明の通信方式によって、誤信なく全ての送信コードを受信出来るため、このシステムが成立することになる。

(発明の効果)

(21)

(22)

以上述べたように本発明によると、送信装置において送信信号の送信時間間隔をデータの内容に応じて決定しているもので、一度送信が発生したとしても送信信号のデータ内容が異なっていれば、次回からの送信信号が継続して送信するといったことがない。従って、送信装置を何ら複雑な構成にすることなく、送信頻度を低減できる。

又、各送信装置において送信時間間隔とは異なる所定時間間隔にて送信信号を送信すると共に、所定時間間隔内には送信信号が送信時間間隔にて所定回数だけ送信されるようにしているので、その所定時間間隔内における各送信装置の消費電力は同じになり、全体的に消費状態のばらつきを低減でき、使用上都合の良い送信装置・通信を提供できるという優れた効果がある。

4. 図面の簡単な説明

第1図は本発明が適用されるシステムの概要を表す図、第2図は本発明の第1実施例の送信装置を表す構成図、第3図は第1実施例における送信

(7)

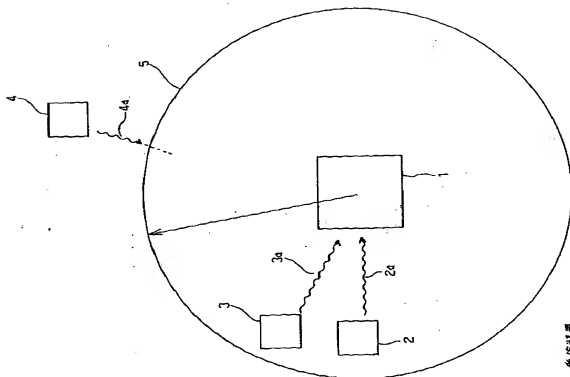
装置からの送信信号を表す図、第4図は受信装置を表す構成図、第5図は第3図における送信装置を具体化した電気回路図、第6図は本発明の第2実施例の送信装置を表す構成図、第7図は第6図における送信装置からの送信信号を表す図、第8図は本発明の第3実施例の送信装置を表す構成図、第9図は第2実施例及び第3実施例を概念的に一般化した示した図、第10図及び第11図は本発明を採用出来る具体的なシステムを表す図である。

1…受信装置、2～4…送信装置、7…送信回路、8…データメモリ、9…タイマ。

代理人弁理士 岡 部 隆

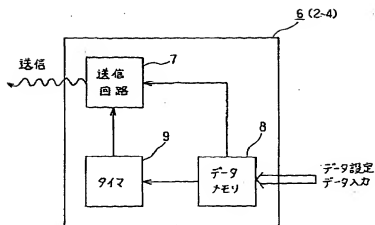
(23)

(24)

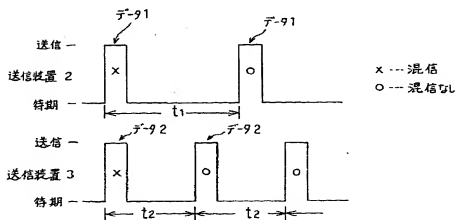


第 1 図

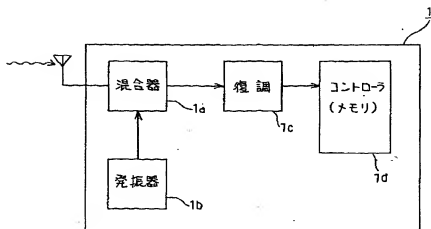
(8)



第 2 図

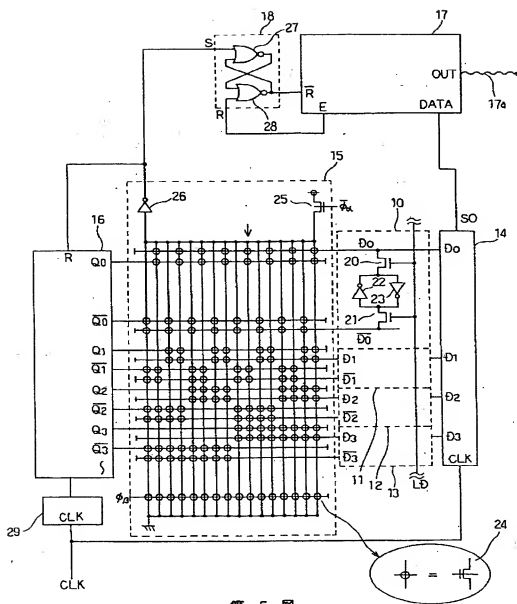


第 3 図

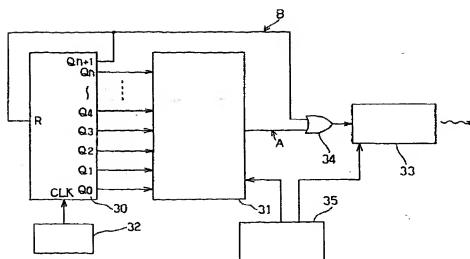


第 4 図

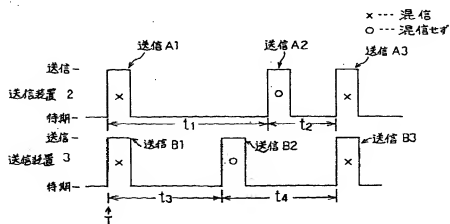
(9)



第 5 図

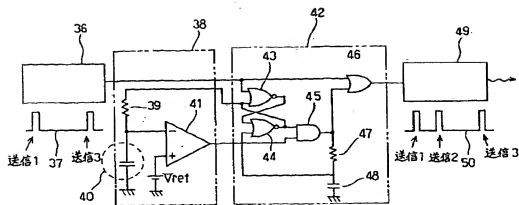


第 6 図

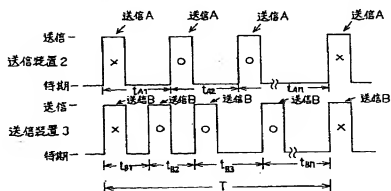


第 7 図

(11)

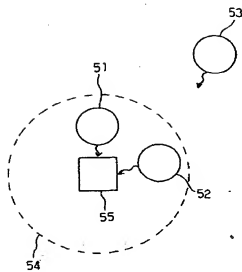


第 8 図

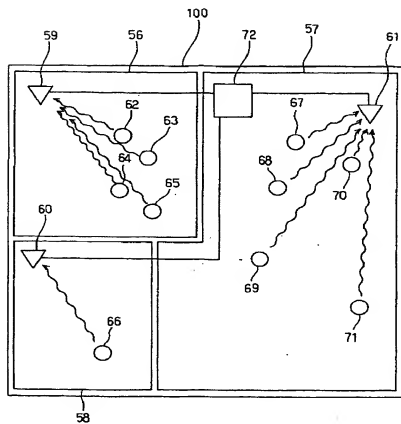


第 9 図

(12)



第 10 図



第 11 図